

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 7月11日

出願番号

Application Number:

特願2002-202680

[ST.10/C]:

[JP2002-202680]

出願人

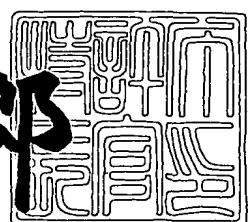
Applicant(s):

株式会社デンソー

2003年 3月14日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3017108

【書類名】 特許願
【整理番号】 N020121
【提出日】 平成14年 7月11日
【あて先】 特許庁長官殿
【国際特許分類】 H02H 9/04
【発明者】
【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
【氏名】 安部 博文
【発明者】
【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
【氏名】 石原 秀昭
【発明者】
【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
【氏名】 野田 真一
【特許出願人】
【識別番号】 000004260
【氏名又は名称】 株式会社デンソー
【代理人】
【識別番号】 100071135
【住所又は居所】 名古屋市中区栄四丁目6番15号 名古屋あおば生命ビル
【弁理士】
【氏名又は名称】 佐藤 強
【電話番号】 052-251-2707
【手数料の表示】
【予納台帳番号】 008925
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9200169

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クランプ回路

【特許請求の範囲】

【請求項1】 半導体集積回路装置として構成され当該半導体集積回路装置の信号入力端子に入力される電圧をクランプするクランプ回路において、

ゲートとドレインとが接続され、ソースに印加された目標クランプ電圧をゲート・ソース間電圧だけシフトしてドレインから出力する第1のトランジスタと、

この第1のトランジスタの出力電圧を入力しその電圧に応じた基準電圧を出力するバッファ回路と、

前記第1のトランジスタと同じ導電型であって、ソースが前記信号入力端子に接続され、ゲートが前記バッファ回路の出力端子に接続された第2のトランジスタとを備えて構成されていることを特徴とするクランプ回路。

【請求項2】 前記第2のトランジスタのゲートとドレインとが接続されていることを特徴とする請求項1記載のクランプ回路。

【請求項3】 前記第1および第2のトランジスタの基板電位は、ソース電位に等しく設定されていることを特徴とする請求項1または2記載のクランプ回路。

【請求項4】 半導体集積回路装置として構成され当該半導体集積回路装置の信号入力端子に入力される電圧をクランプするクランプ回路において、

ベースとコレクタとが接続され、エミッタに印加された目標クランプ電圧をベース・エミッタ間電圧だけシフトしてコレクタから出力する第1のトランジスタと、

この第1のトランジスタの出力電圧を入力しその電圧に応じた基準電圧を出力するバッファ回路と、

前記第1のトランジスタと同じ接合形式であって、エミッタが前記信号入力端子に接続され、ベースが前記バッファ回路の出力端子に接続された第2のトランジスタとを備えて構成されていることを特徴とするクランプ回路。

【請求項5】 前記第2のトランジスタのベースとコレクタとが接続されていることを特徴とする請求項4記載のクランプ回路。

【請求項6】 前記第1および第2のトランジスタのサイズが異なっていることを特徴とする請求項1ないし5の何れかに記載のクランプ回路。

【請求項7】 前記第1のトランジスタに対し直列に接続された定電流回路を設けたことを特徴とする請求項1ないし6の何れかに記載のクランプ回路。

【請求項8】 前記バッファ回路は、ボルテージフォロアの接続形態を持つオペアンプから構成されていることを特徴とする請求項1ないし7の何れかに記載のクランプ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置として構成され当該半導体集積回路装置の信号入力端子に入力される電圧をクランプ回路に関する。

【0002】

【発明が解決しようとする課題】

近年、大規模半導体集積回路装置（LSI）について、その動作速度をより速めるとともにチップ面積をより縮小化することを目的として製造工程の微細化が進んでいる。この微細化に伴って、例えばMOSデバイスの場合ゲート酸化膜の膜厚が薄くなるため、十分な素子寿命を確保するためにゲート印加電圧を下げるとともに、素子の劣化や破壊を防止するために電源電圧を超える電圧の印加を極力抑える必要が生じる。

【0003】

前者に対しては、降圧回路を用いた電源電圧の低電圧化が有効であり、主としてLSIの内部ロジック回路に用いられている。後者に対しては、外部信号入力端子と内部回路との間にクランプ回路を付加したり、LSIの外部にクランプ回路を付加することが有効である。

【0004】

アナログ系のクランプ回路に係る従来構成について、自動車のECU(Electronic Control Unit)に用いられる回路構成を例に図5を参照しながら説明する。この図5において、制御基板1には、バッテリ電圧VBを入力して制御用の電源

電圧VDD (5V±5%) を出力する電源IC2、複数のセンサ信号を入力し種々の制御を実行する制御IC3、および制御IC3の外部に設けられたクランプ回路4が搭載されている。コネクタ5から入力されるセンサ信号は、通常0Vから5Vの範囲内の電圧を持つが、単に信号が入力されているか否かを検出するためには設けられる端子や故障したセンサが繋がっている端子にはバッテリ電圧VB (最大で16V程度) が印加される場合がある。

【0005】

端子5c、5dから入力されるセンサ信号は、それぞれ抵抗R1とR3、抵抗R2とR4を介して制御IC3内部のバッファ回路6、7に入力され、A/Dコンバータの各チャンネルに入力される。制御IC3の外部において、抵抗R1とR3との共通接続点とグランド線8との間、抵抗R2とR4との共通接続点とグランド線8との間には、それぞれ上記クランプ回路4を構成するツエナー電圧5.3VのツエナーダイオードD1、D2が接続されている。

【0006】

また、制御IC3の内部において、バッファ回路6、7の各入力端子とグランド線8との間にはそれぞれダイオードD3、D4が接続され、バッファ回路6、7の各入力端子と制御電源線9との間にはそれぞれダイオードD5、D6が接続されている。これらダイオードD3～D6により制御IC3内部のクランプ回路10が構成されている。

【0007】

この構成では、バッファ回路6、7の入力電圧は入力信号のレベルによらず5.3V以下、-VF (約-0.5V) 以上に制限される。従って、バッファ回路6、7をはじめとする制御IC3の内部回路には、高電位側が5V+10% (=5.5V) 、低電位側が-10% (= -0.5V) の耐圧を持つMOSデバイスの製造工程 (低耐圧デバイス工程) を採用できる。しかし、制御IC3が多数のセンサ信号を入力する場合には、各信号ごとにツエナーダイオードが必要となり、制御基板1の面積が増大するとともにコストが上昇するという問題がある。

【0008】

これに対し、ツエナーダイオードD1、D2を除いた場合、入力信号の高電位

側の制限電圧は、電源電圧VDDの電圧変動（5V±5%）を考慮すると5.25V+VF（約6V弱）となる。この場合、バッファ回路6、7に上記低耐圧デバイス工程を採用しても直ちに素子破壊に至ることはないが、ホットキャリアまたはスロートラップの発生によってしきい値電圧が変動し、やがては当初の電気的仕様から外れてしまう。このため、信号入力部に例えば6Vの耐圧を持つMOSデバイスの製造工程（高耐圧デバイス工程）を採用する必要が生じ、工程追加によるコストの増大や動作速度の低下などの問題が生じてしまう。

【0009】

また、図5に示すクランプ回路4、10は、温度変化によるクランプ電圧の変動が比較的大きいという特性を有しており、温度変化の大きい環境下で用いられる車両用ECUに採用した場合、十分なクランプ電圧精度が得られないという問題があった。

【0010】

本発明は上記事情に鑑みてなされたもので、その目的は、半導体集積回路装置の信号入力端子に適用するに際し、必要な外付け部品を極力減らすことができるとともに、温度変化によるクランプ電圧の変動が小さいクランプ回路を提供することにある。

【0011】

【課題を解決するための手段】

請求項1に記載した手段によれば、第1のトランジスタは、目標クランプ電圧をゲート・ソース間電圧だけシフトした電圧を出力し、第2のトランジスタは、その出力電圧に応じてバッファ回路から出力される基準電圧をゲート電圧として制御される。例えば高電位側のクランプ動作の場合、バッファ回路の増幅率を1とすれば、基準電圧は（目標クランプ電圧-第1のトランジスタのゲート・ソース間電圧）となる。そして、信号入力端子の電圧（以下、端子電圧と称す）がクランプ電圧（=基準電圧+第2のトランジスタのしきい値電圧）以上になると第2のトランジスタがオンとなり、信号入力端子に直列接続された抵抗などの電流制限手段に生じる電圧降下によって端子電圧はクランプ電圧に制限される。

【0012】

同じ導電型を持つ第1と第2のトランジスタは、半導体集積回路装置として形成されているので、しきい値電圧の差ひいては所定電流に対するゲート・ソース間電圧の差は極めて小さく、しかも温度的に密に結合されているので近似した温度特性を持つ。従って、両トランジスタのゲート・ソース間電圧は相殺され、温度変化にかかわらず端子電圧のクランプ電圧は常に目標クランプ電圧と等しくなる。

【0013】

その結果、半導体集積回路装置の外部に抵抗などの電流制限手段を付加するだけで、過大な電圧入力に対して端子電圧を目標クランプ電圧にクランプでき、信号入力部に高耐圧デバイス工程を用いる必要がなくなるとともに外付け回路の実装面積を縮小することができる。また、温度変化によるクランプ電圧の変動が小さいため、例えば温度変化範囲の広い車両用電子制御装置に好適となる。

【0014】

請求項2に記載した手段によれば、第1と第2のトランジスタのゲートとドレインの接続形態が同じとなるので、クランプ動作時における両トランジスタのゲート・ソース間電圧がより一致したものとなる。従って、クランプ電圧の精度をより高めることができる。

【0015】

請求項3に記載した手段によれば、第1および第2のトランジスタの基板電位がソース電位に等しく設定されているので、基板効果が現れない状態でのゲート・ソース間電圧を利用できる。

【0016】

請求項4に記載した手段によれば、請求項1に記載したクランプ回路とほぼ同様の作用および効果を得られる。本手段ではバイポーラトランジスタを用いているため、第1、第2のトランジスタはダイオード接続の形態となり、そのベース・エミッタ間電圧だけ電圧をシフトする結果、端子電圧はクランプ電圧に制限される。また、同じ接合形式（NPN形またはPNP形）を持つ第1と第2のトランジスタは、半導体集積回路装置として形成されているので、所定電流に対するベース・エミッタ間電圧の差は極めて小さく、しかも温度的に密に結合されてい

るので近似した温度特性を持つ。従って、両トランジスタのベース・エミッタ間電圧は相殺され、温度変化にかかわらず端子電圧のクランプ電圧は常に目標クランプ電圧と等しくなる。

【0017】

請求項5に記載した手段によれば、第1と第2のトランジスタのベースとコレクタの接続形態が同じとなるので、クランプ動作時における両トランジスタのベース・エミッタ間電圧がより一致したものとなる。従って、クランプ電圧の精度をより高めることができる。

【0018】

請求項6に記載した手段によれば、第1および第2のトランジスタのサイズが異なっているので、両トランジスタのしきい値電圧、ゲート・ソース間電圧またはベース・エミッタ間電圧に差が生じる。この差をオフセット電圧として利用することにより、クランプ電圧を、目標クランプ電圧に対して上記ベース・エミッタ間電圧の差またはベース・エミッタ間電圧の差だけずらした値とすることができる。

【0019】

請求項7に記載した手段によれば、第1のトランジスタに一定の電流が流れるので、第1のトランジスタのしきい値電圧、ゲート・ソース間電圧またはベース・エミッタ間電圧を一定化でき、クランプ電圧の精度をより高めることができる。

【0020】

請求項8に記載した手段によれば、バッファ回路は、ボルテージフォロアの接続形態を持つオペアンプから構成されているので、第1のトランジスタの出力電圧に等しい基準電圧を出力し、第2のトランジスタが多数存在する場合でも十分に駆動することができる。また、オペアンプにオフセットを付加すれば、クランプ電圧を目標クランプ電圧に対しづらすことができる。

【0021】

【発明の実施の形態】

(第1の実施形態)

以下、本発明の第1の実施形態について図1を参照しながら説明する。

図1は、正の過電圧保護機能を有する半導体集積回路装置の電気的構成を示している。この図1において、CMOSプロセスにより製造される半導体集積回路装置11（以下、IC11と称す）は、電源端子12、13を介して外部から電源電圧VDD（例えば5.0V）の供給を受けて動作するようになっている。各電源端子12、13は、IC11の内部においてそれぞれ高電位側の電源線14、低電位側の電源線15（グランド線）に接続されている。

【0022】

このIC11は、A/Dコンバータ16、マルチプレクサ17をはじめ図示しない各種のアナログ回路およびデジタル回路を備えている。また、電源電圧VDDが5.0Vの場合、アナログ信号の入力端子18、19（信号入力端子に相当）の最大定格電圧は5.5Vであるため、入力端子18、19の電圧が5.0Vから5.5Vの間で定められた一定のクランプ電圧VCL（ここでは5.0V）以下となるように制限するクランプ回路20を備えている。なお、このIC11は、車両に搭載された電子制御装置（ECU）に用いられている。

【0023】

マルチプレクサ17は、入力端子18、19とA/Dコンバータ16の入力端子との間にそれぞれ接続されたアナログスイッチ17a、17bから構成されており、選択信号S1～S4に従って何れか一方のアナログスイッチのみがオン状態に制御されるようになっている。また、A/Dコンバータ16は、マルチプレクサ17から入力された0.0Vから5.0Vの電圧範囲内の電圧に対し、所定の分解能によりA/D変換を実行するようになっている。

【0024】

クランプ回路20は、入力端子18、19にそれぞれ1つずつ設けられたPチャネル型トランジスタQ11、Q12（第2のトランジスタに相当）と、これらトランジスタQ11、Q12に対し共通に設けられたPチャネル型トランジスタQ13（第1のトランジスタに相当）、定電流回路21およびオペアンプ22（バッファ回路に相当）とから構成されている。トランジスタQ11、Q12、Q13は同サイズに形成されており、各基板電位はそれぞれのソース電位に等しく

設定されている。

【0025】

トランジスタQ13のソースは電源線14に接続されており、ドレインとゲートは共通に接続されてオペアンプ22の非反転入力端子に接続されているとともに定電流回路21を介して電源線15に接続されている。オペアンプ22は、ボルテージフォロアの接続形態とされており、電源線14、15から電源供給を受けて動作するようになっている。トランジスタQ11のソースは入力端子18に接続されており、ドレインとゲートは共通に接続されてオペアンプ22の出力端子に接続されている。トランジスタQ12もトランジスタQ11と同様の接続形態となっている。

【0026】

なお、IC11の外部例えはIC11が搭載された基板上において、アナログ電圧Va1、Va2を出力するセンサなどの検出手段（図示せず）と入力端子18、19との間の信号経路には、それぞれ電流制限手段（電流制限素子）としての抵抗R11、R12が設けられている。

【0027】

次に、入力端子18に対する過電圧保護動作について説明する。この過電圧保護動作は、入力端子19に対しても同様となる。

トランジスタQ13には定電流回路21が output する一定電流が流れしており、そのドレイン電位VD(Q13)およびオペアンプ22が出力する基準電圧Vrは、次の(1)式で示す値になる。一定のドレイン電流を流すことによりVGS(Q13)を一定化することができる。

$$V_r = VD(Q13) = VDD - VGS(Q13) \quad \cdots (1)$$

VGS(Q13) : トランジスタQ13のゲート・ソース間電圧（絶対値）

【0028】

端子18に次の(2)式で示す条件を満たす入力電圧Vin1が入力されると、トランジスタQ11がオンとなり、図示しない検出手段から抵抗R11、端子18、トランジスタQ11を通してオペアンプ22の出力端子に電流が吸い込まれる。

$$V_{in1} \geq V_r + V_{th}(Q11) \quad \cdots (2)$$

$V_{th}(Q11)$: ドランジスタ Q11 のしきい値電圧 (絶対値)

【0029】

トランジスタ Q11 がオンしたクランプ状態において、上記電流によって抵抗 R11 に電圧降下が生じ、それにより入力電圧 V_{in1} は次の (3) 式で示すクランプ電圧 V_{CL} に制限される。また、(3) 式に (1) 式を代入すれば、このクランプ電圧 V_{CL} は (4) 式に示すようになる。

$$V_{CL} = V_r + V_{GS}(Q11) \quad \cdots (3)$$

$$= V_{DD} - V_{GS}(Q13) + V_{GS}(Q11) \quad \cdots (4)$$

$V_{GS}(Q11)$: ドランジスタ Q11 のゲート・ソース間電圧 (絶対値)

【0030】

トランジスタ Q11 と Q13 は同サイズに形成されており、ドレイン、ソース、ゲート、バックゲートについて同じ接続形態とされているので、しきい値電圧 $V_{th}(Q11)$ と $V_{th}(Q13)$ とは等しく、クランプ状態におけるゲート・ソース間電圧 $V_{GS}(Q11)$ と $V_{GS}(Q13)$ もほぼ等しくなる。また、トランジスタ Q11 と Q13 は温度的に密に結合されているので、しきい値電圧およびゲート・ソース間電圧について互いに近似した温度特性を持つ。従って、クランプ電圧 V_{CL} は、温度変化にかかわらず常に (5) 式で示すようになる。

$$V_{CL} = V_{DD} \quad \cdots (5)$$

【0031】

IC11 が用いられている車両用 ECU はバッテリ (図示せず) から電源供給を受けて動作しているため、例えば検出手段に故障が生じると、検出手段はバッテリ電圧 V_B に等しいアナログ電圧 V_{a1} 、 V_{a2} (例えば 16 V 程度) を出力する場合がある。このような場合でも上記クランプ動作が正常に機能するためには、オペアンプ 22 の電流吸い込み能力 I_{sink} に関して次の (6) 式に示す条件が必要となる。

$$I_{sink} \geq 2 \cdot (V_B - V_{CL}) / R \quad \cdots (6)$$

R : 抵抗 R11、R12 の抵抗値

【0032】

なお、一般にアナログ信号の入力端子がN個存在する場合には、(6)式に替えて次の(7)式に示す条件が必要となる。

$$I_{sink} \geq N \cdot (V_B - V_{CL}) / R \quad \cdots (7)$$

【0033】

以上説明したように、本実施形態によればIC11にクランプ回路20を設けたので、IC11の各入力端子18、19に電流制限用の抵抗R11、R12を1本ずつ外付けするだけで、入力端子18、19への過大な入力電圧Vin1、Vin2をクランプ電圧VCLにクランプすることができる。これにより、負の過電圧が入力される虞のない用途では、信号入力部を含めIC11全体に低耐圧デバイス工程(高電位側の耐圧が5.5V)を採用することができるとともに、外付け回路の実装面積を縮小することができ、低コスト化が図られる。

【0034】

この場合、基準電圧V_rを生成するためのトランジスタQ13と、クランプ動作へ移行するスイッチ回路として機能するトランジスタQ11、Q12は、同サイズであって且つ同じ接続形態で用いられているため、両者のしきい値電圧V_{th}およびゲート・ソース間電圧V_{GS}が等しくなり、クランプ電圧VCLを電源電圧V_{DD}(5V)に正確に一致させることができる。また、IC化されているトランジスタQ11、Q12、Q13は温度的に密に結合されているので、互いに近似した温度特性を持ち、クランプ電圧VCLの温度変動が小さくなる。このため、温度変化範囲の広い車両搭載機器に好適となる。

【0035】

本実施形態のIC11は、アナログ信号について2つの入力端子18、19を有しているが、さらに多くの入力端子が存在する構成であっても同様の作用、効果が得られる。この場合、トランジスタQ13、定電流回路21およびオペアンプ22は全ての入力端子について共通化されているので、入力端子数が増えても消費電流の増加は僅かとなる。従って、上述したクランプ回路20は、入力端子数が多いほど他のクランプ回路に比べて消費電流の低減効果が顕著に現れ、検出信号数が多く且つバッテリを電源として動作する車両用ECUにとって好適となる。また、クランプ回路20は常に動作させておくため、スタンバイモードのよ

うな低消費電流モードがあるシステムに対して特に好適となる。

【0036】

(第2の実施形態)

次に、本発明の第2の実施形態について図2を参照しながら説明する。

図2は、負の過電圧保護機能を有する半導体集積回路装置の電気的構成を示すもので、図1と同一部分には同一符号が付されている。この半導体集積回路装置23 (IC23) のクランプ回路24は、IC11のクランプ回路20におけるPチャネル型トランジスタQ11、Q12、Q13をNチャネル型トランジスタQ14、Q15、Q16に置き替え、電源線14側に定電流回路21を接続し、電源線15側にトランジスタQ16を接続した構成となっている。トランジスタQ14、Q15、Q16は同サイズに形成されている。

【0037】

入力端子18に対する過電圧保護動作は以下のようになる。

トランジスタQ16のドレイン電位VD(Q16)およびオペアンプ22が出力する基準電圧V_rは、次の(8)式で示す値になる。

$$V_r = VD(Q16) = VGS(Q16) \quad \dots (8)$$

【0038】

端子18に次の(9)式で示す条件を満たす入力電圧V_{in1}が入力されると、トランジスタQ14がオンとなり、オペアンプ22の出力端子からトランジスタQ14、端子18、抵抗R11を通して電流が流れる。

$$V_{in1} \leq V_r - V_{th}(Q14) \quad \dots (9)$$

【0039】

これにより、入力電圧V_{in1}は次の(10)式で示すクランプ電圧V_{CL}に制限される。このクランプ電圧V_{CL}は、(8)式を用いて(11)式に示すようになり、さらにトランジスタQ14とQ16とが同サイズに形成されていることから(12)式に示すように電源線15の電位と同じ0Vとなる。

$$V_{CL} = V_r - VGS(Q14) \quad \dots (10)$$

$$= VGS(Q16) - VGS(Q14) \quad \dots (11)$$

$$= 0 \quad \dots (12)$$

【0040】

本実施形態のクランプ回路24によれば、入力端子18、19への負の入力電圧 V_{in1} 、 V_{in2} を0Vのクランプ電圧 V_{CL} にクランプすることができ、製造工程、基板上への実装態様、クランプ電圧 V_{CL} の精度と温度特性、消費電流について、第1の実施形態と同様の効果を得られる。

【0041】

(第3の実施形態)

図3は、正の過電圧保護機能を有する半導体集積回路装置25(IC25)の電気的構成を示すもので、クランプ回路26を構成する第1のトランジスタQ19と第2のトランジスタQ17、Q18はPNP形のバイポーラトランジスタにより構成されている。これらトランジスタQ17、Q18、Q19は同サイズに形成されており、それぞれベースとコレクタとが接続されたダイオード接続の回路形態を有している。その他の部分は上述したIC11と同様に構成されている。なお、定電流回路21やオペアンプ22もバイポーラトランジスタで構成しても良い。

【0042】

入力端子18に対する過電圧保護動作は以下のようになる。

トランジスタQ19のコレクタ電位 $V_C(Q19)$ およびオペアンプ22が出力する基準電圧 V_r は、次の(13)式で示す値になる。

$$V_r = V_C(Q19) = V_{DD} - V_{BE}(Q19) \quad \dots (13)$$

$V_{BE}(Q19)$ ：トランジスタQ19のベース・エミッタ間電圧(絶対値)

【0043】

端子18に次の(14)式で示す条件を満たす入力電圧 V_{in1} が入力されると、トランジスタQ17がオンとなる。

$$V_{in1} \geq V_r + V_{BE}(Q17) \quad \dots (14)$$

【0044】

これにより、入力電圧 V_{in1} は次の(15)式で示すクランプ電圧 V_{CL} に制限される。このクランプ電圧 V_{CL} は、(13)式を用いて(16)式に示すようになり、さらにトランジスタQ17とQ19とが同サイズに形成されていることお

およびベース・エミッタ間電圧が互いに近似した温度特性を持つことから（17）式で示すようになる。

$$V_{CL} = V_r + V_{BE}(Q17) \quad \dots (15)$$

$$= V_{DD} - V_{BE}(Q19) + V_{BE}(Q17) \quad \dots (16)$$

$$= V_{DD} \quad \dots (17)$$

【0045】

本実施形態のクランプ回路26によっても、入力端子18、19へのVDDを超える入力電圧Vin1、Vin2をクランプ電圧VCL（=VDD）にクランプすることができ、第1の実施形態と同様の効果が得られる。

【0046】

（第4の実施形態）

図4は、負の過電圧保護機能を有する半導体集積回路装置27（IC27）の電気的構成を示すもので、そのクランプ回路28は、クランプ回路26におけるPNP形トランジスタQ17、Q18、Q19をNPN形トランジスタQ20、Q21、Q22に置き替えた構成となっている。本実施形態によれば、入力端子18、19への負の入力電圧Vin1、Vin2を0Vのクランプ電圧VCLにクランプすることができ、製造工程、基板上への実装態様、クランプ電圧VCLの精度と温度特性、消費電流について、第1および第2の実施形態と同様の効果を得られる。

【0047】

（その他の実施形態）

なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

第1の実施形態に示すクランプ回路20と第2の実施形態に示すクランプ回路24とを両方備えた構成としても良い。また、第3の実施形態に示すクランプ回路26と第4の実施形態に示すクランプ回路28とを両方備えた構成としても良い。

クランプ動作により保護する入力端子は、アナログ入力端子に限られずデジタル汎用ポートなど種々の信号入力端子であっても良い。

第1の実施形態において、第2のトランジスタQ11、Q12のドレインを電源線15に接続しても良い。また、第2の実施形態において、第2のトランジスタQ14、Q15のドレインを電源線14に接続しても良い。第3、第4の実施形態についても同様である。

【0048】

第1の実施形態では、クランプ電圧VCLをA/Dコンバータ16の電源電圧となるVDDに等しく設定した。このため、A/Dコンバータ16の入力電圧範囲の上限値がVDDで規定される場合、クランプ動作の影響によりVDD付近の入力電圧に誤差が生じる虞がある。このような場合には、高電位側のクランプ電圧VCLを電源電圧VDDよりも高く設定することが好ましい。具体的には、トランジスタQ13のソースにVDDよりも高い電圧を印加したり、トランジスタQ11、Q12のしきい値電圧V_{th}(Q11)、V_{th}(Q12)をトランジスタQ13のしきい値電圧V_{th}(Q13)よりも大きくすれば良い。

【0049】

このうちしきい値電圧を変える後者の手段としては、トランジスタQ13のサイズをトランジスタQ11、Q12のサイズよりも大きくすること、定電流回路21の出力電流を減らすこと、トランジスタQ11、Q12のドレインまたはソースに対し直列に抵抗を挿入すること、オペアンプ22にオフセット電圧を持たせることなどが有効である。第2の実施形態においても、A/Dコンバータ16の入力電圧範囲の下限値が0Vで規定される場合には、低電位側のクランプ電圧VCLを0Vよりも低く設定することが好ましい。第3、第4の実施形態についても同様である。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示す半導体集積回路装置の電気的構成図

【図2】

本発明の第2の実施形態を示す図1相当図

【図3】

本発明の第3の実施形態を示す図1相当図

【図4】

本発明の第4の実施形態を示す図1相当図

【図5】

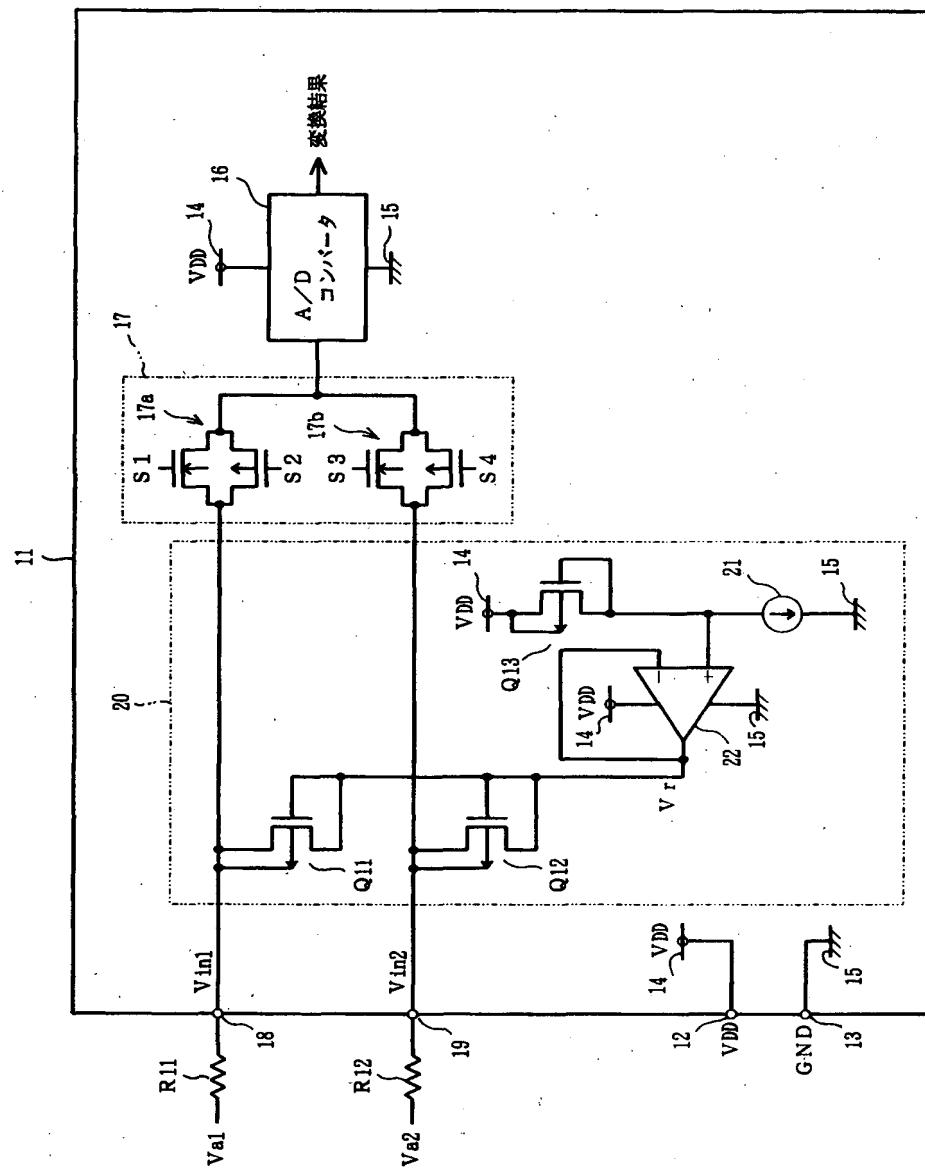
従来技術を示す図1相当図

【符号の説明】

11、23、25、27は半導体集積回路装置、18、19は信号入力端子、20、24、26、28はクランプ回路、21は定電流回路、22はオペアンプ（バッファ回路）、Q11、Q12、Q14、Q15、Q17、Q18、Q20、Q21はトランジスタ（第2のトランジスタ）、Q13、Q16、Q19、Q22はトランジスタ（第1のトランジスタ）である。

【書類名】 図面

【図1】



11 : 半導体素子回路装置
19 : 個号入力端子
Q11, Q12 : 第2のトランジスタ
Q13 : 第1のトランジスタ

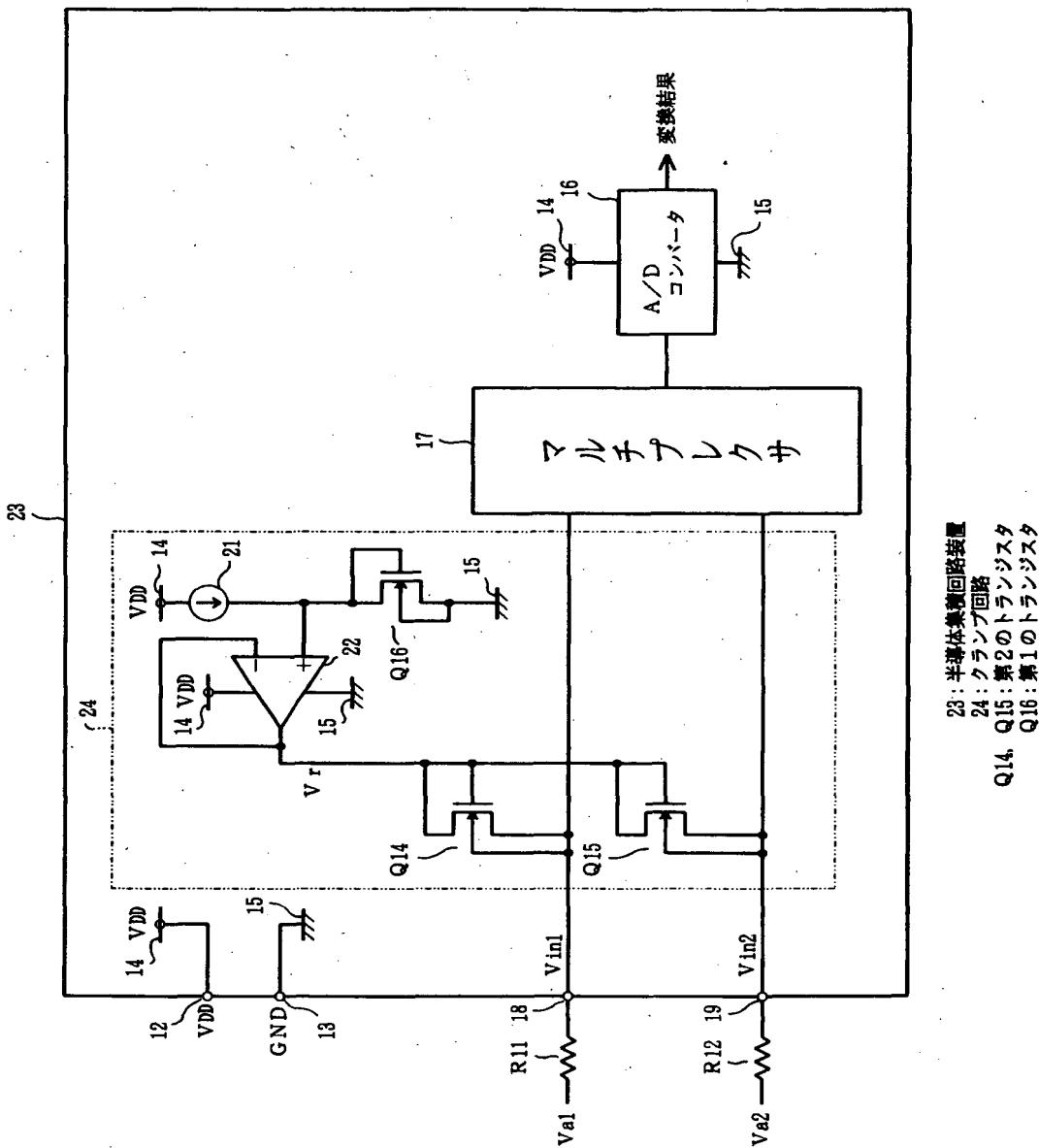
20 : クラシック

21 定情回路

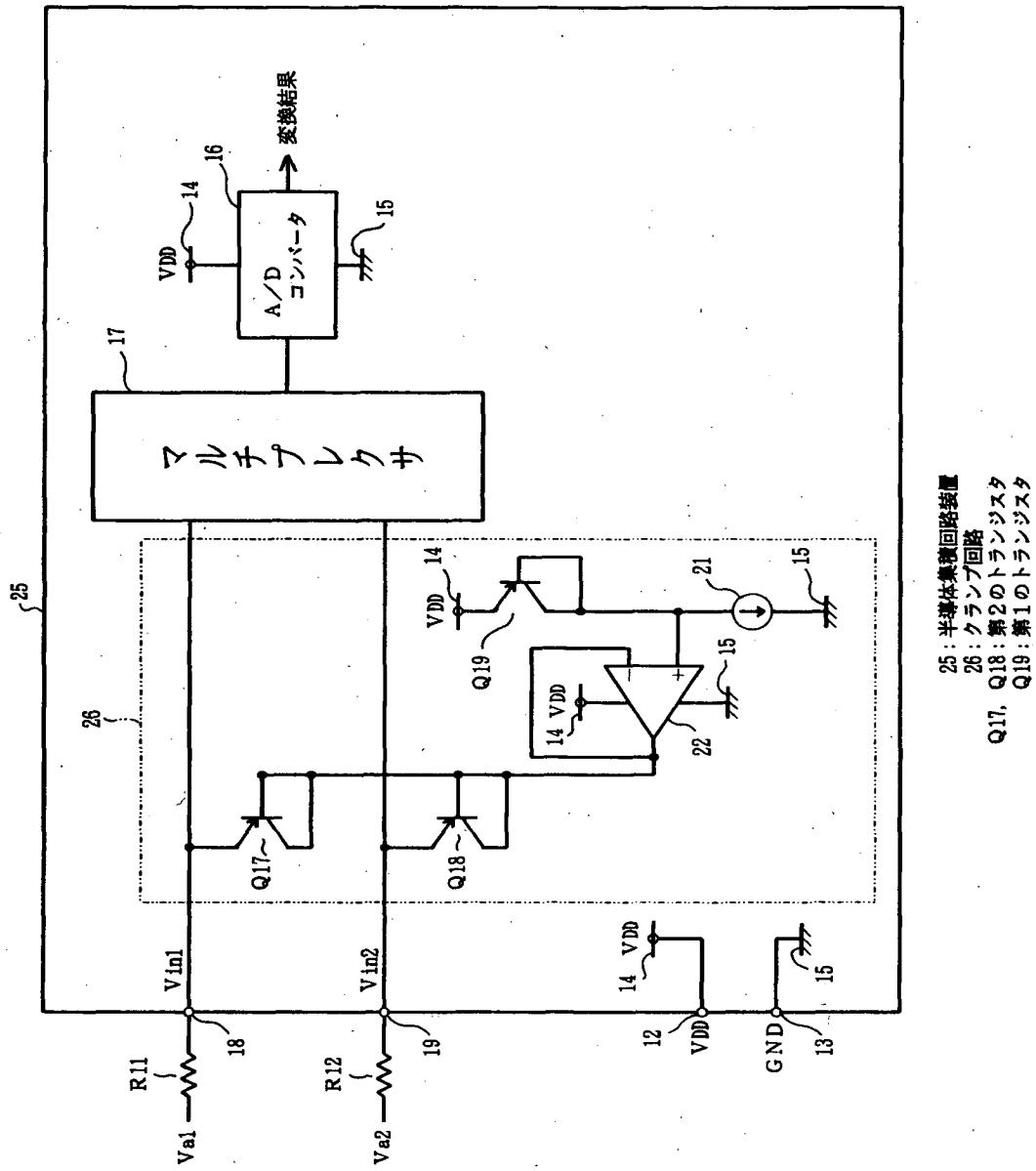
22: バッファ回路・オペアンプ

卷之三

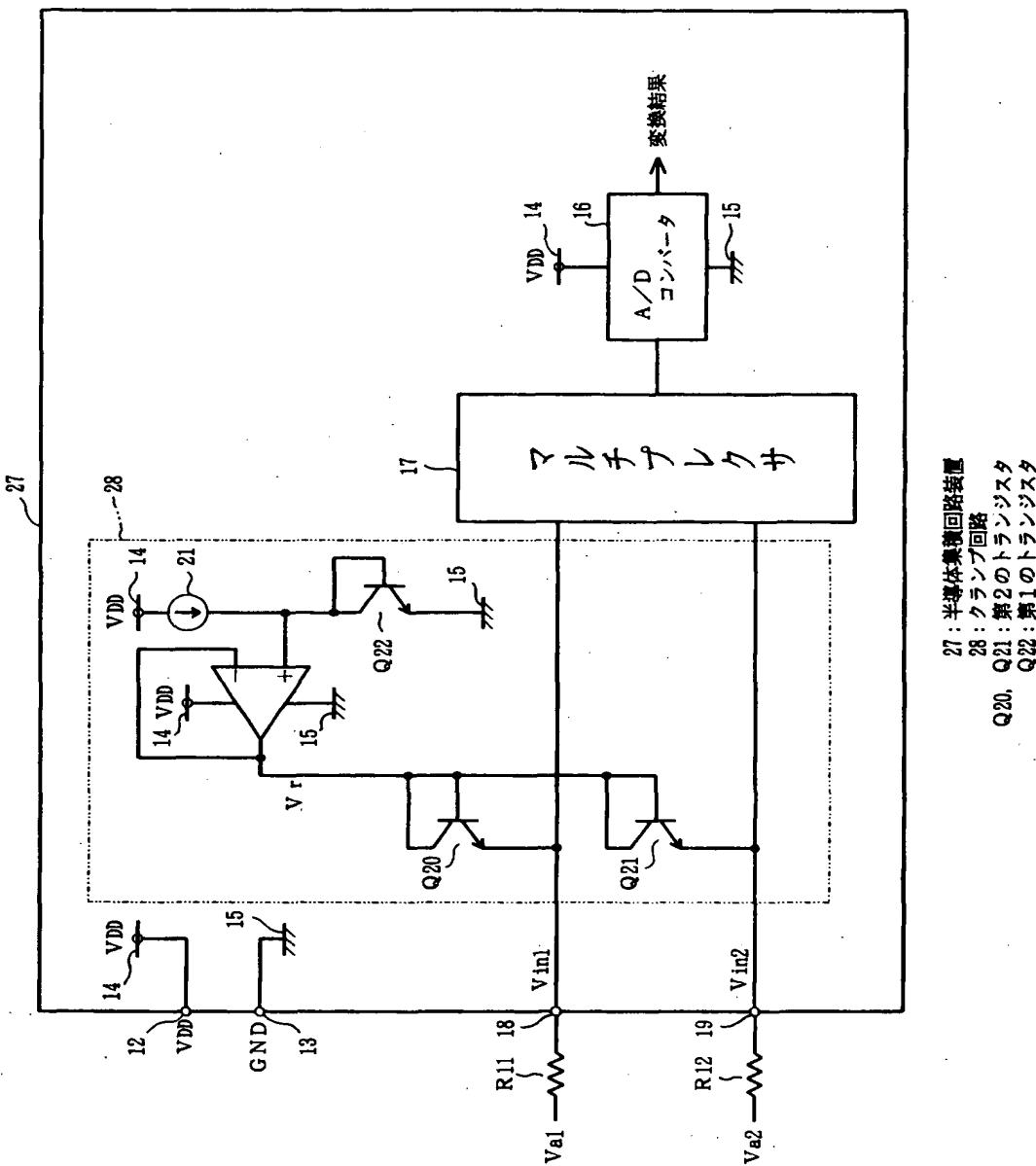
【図2】



【図3】

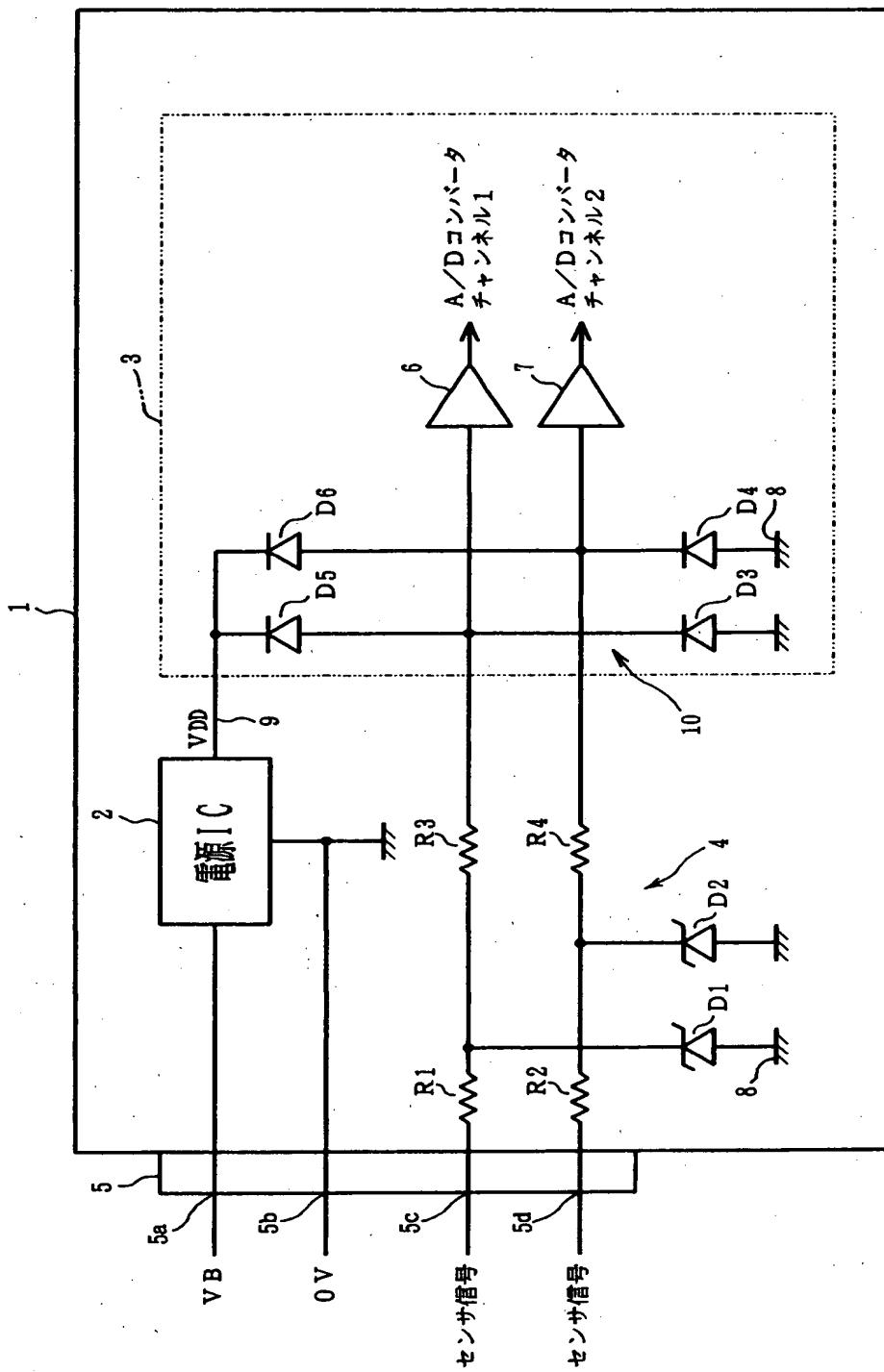


【図4】



27: 半導体集積回路装置
 28: クランプ回路
 Q21: 第2のトランジスタ
 Q22: 第1のトランジスタ

【図5】



【書類名】 要約書

【要約】

【課題】 必要な外付け部品を極力減らすことおよび温度変化によるクランプ電圧の変動を低減すること。

【解決手段】 オペアンプ22が出力する基準電圧 V_r は $V_{DD} - V_{GS}(Q13)$ となる。端子18の電圧 V_{in1} が $V_r + V_{th}(Q11)$ 以上になると、トランジスタQ11がオンとなり、入力電圧 V_{in1} は $V_r + V_{GS}(Q11)$ にクランプされる。トランジスタQ11とQ13は同サイズに形成され温度的に密に結合されているので、温度変化にかかわらず $V_{GS}(Q11)$ と $V_{GS}(Q13)$ とが等しくなり、クランプ電圧 V_{CL} は常に V_{DD} に等しくなる。

【選択図】 図1

出願人履歴情報

識別番号 [000004260]

1. 変更年月日 1996年10月 8日

[変更理由] 名称変更

住 所 愛知県刈谷市昭和町1丁目1番地

氏 名 株式会社デンソー